

PCI Express 5.0 发射机验证

应用指南



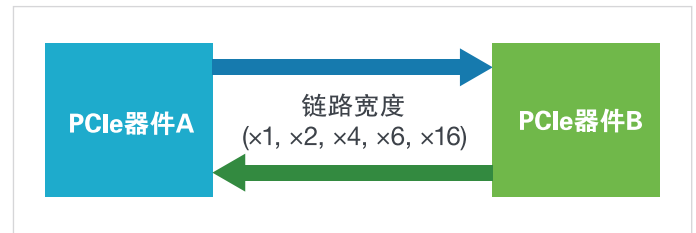
背景

由于 5G 和物联网 (IoT) 的互联设备及相关高带宽要求预计将大幅度攀升, 所以数据中心运营商需要迁移到带宽更高的网络, 其中的带宽要超过当前通常使用的 100 GB 以太网 (100GE)。

迁移到下一代 400GE 网络要求更快速的内存和更高速的串行总线通信。除了把以太网接口升级到 400GE, 服务器还需要采用速度更高的串行扩展总线接口和内存。PCIe® (PCI Express) 扩展总线现在正迁移到最新标准化的 PCIe 5.0, 也称为 PCIe Gen 5。与此同时, DDR (双倍数据速率) 内存也正从 DDR 4.0 迁移到 DDR ≈ 5.0。

PCIe Gen 5 规范是 PCI 特殊利益集团 (PCI-SIG®) 开发的 PCIe 4.0 标准的快速晋升增强版本。PCI-SIG® 是一家标准机构, 规定了所有 PCIe 规范。随着 PCIe 5.0 插件机电 (CEM) 规范的最终确定, PCIe 5.0 标准最近完成并于 2021 年 6 月发布, 这是 2019 年发布的现有 PCIe 5.0 基本 (硅) 规范的姊妹篇。

PCIe 标准的发展



PCIe 双工链路通信

最初的并行 PCI 总线 (外设器件互连总线) 于 1992 年问世, 旨在扩展个人电脑的功能, 允许添加显卡和网卡及许多其他外设。PCIe 是一种高速串行总线, 旨在代替 PCI 及其他现有的传统接口, 如 PCI-X (PCI eXtended) 和 AGP (加速图形端口)。PCIe 不仅吞吐量高, 而且体积小, 链路宽度可以在 ×1 路、×2 路、×4 路、×8 路、×16 路间扩充。PCIe 基于根复数 (系统 / 主机) 与端点 (插件) 之间的点到点总线拓扑, 支持基于包的全双工通信。PCIe 1.0 标准在 2003 年问世, 提供了 2.5 G 传送 / 秒 (2.5 GT/s) 的速率。PCIe 目前提供 2.5 GT/s ~ 32 GT/s 的速率。

PCIe 5.0 把 PCIe 4.0 传送速率翻了一番, 从 16 GT/s 提高到 32 GT/s, 但没有提供任何新增功能, 因为当时的目标是在最短的时间内提供额外的速度。

2003	2006	2010	2017	2019	2021
PCIe 1.0 (2.5 GT/s)	PCIe 2.0 (5 GT/s)	PCIe 3.0 (8 GT/s)	PCIe 4.0 (16GT/s)	PCIe 5.0 (32 GT/s)	PCIe 6.0 (64 GT/s)

PCIe 规范时间线

目前发布的所有 PCIe 标准都采用非归零 (NRZ) 信令。但是, PCI-SIG 目前正在开发 PCIe Gen 6 规范, 将再次把传送速率翻一番, 达到 64 GT/s, 将从 NRZ 信令迁移出去。而 Gen 6 第六代规范将采用 PAM-4 (4 电平脉冲幅度调制) 信令, 以及低时延 FEC (前向纠错) 技术来改善数据完整性。

所有 PCIe 标准都必须向下兼容，也就是说，PCIe 5.0 (32 GT/s 最大数据速率) 还必须支持 2.5 GT/s、5 GT/s、8GT/s、16 GT/s 及 32 GT/s。

	位速率 / 路	链路带宽	链路带宽	x16 带宽
PCIe 1.x	2.5 GT/s	2.0 Gb/s	250 MB/s	8 GB/s
PCIe 2.x	5.0 GT/s	4.0 Gb/s	500 MB/s	16 GB/s
PCIe 3.x	8.0 GT/s	8.0 Gb/s	~1 GB/s	32 GB/s
PCIe 4.x	16.0 GT/s	16.0 Gb/s	~2 GB/s	64 GB/s
PCIe 5.x	32.0 GT/s	32.0 Gb/s	~4 GB/s	128 GB/s
PCIe 6.x	64.0 GT/s	64 Gb/s	~8 GB/s	256 GB/s

PCIe 通路和链路速度

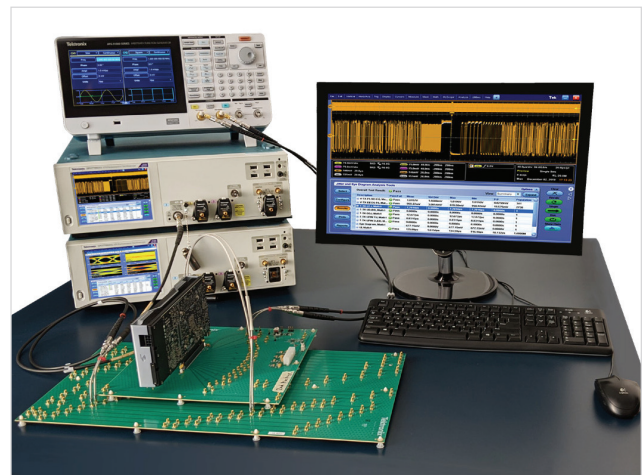
PCI-SIG® 概述

PCI-SIG (外设组件互连特殊利益集团) 成立于 1992 年，是一家标准机构，拥有 900 多家会员企业，会员遍布整个行业，对 PCI 技术感兴趣的任何企业都可以成为会员。PCI-SIG 是非专有 PCI 技术标准和相关规范的开发者和支持者，包括 PCIe，其现在已经成为服务器事实上的标准。PCI-SIG 规定了 PCI 规范，以支持要求的 I/O 功能，同时向下兼容以前的规范。为了能够在整个行业内采用 PCI 技术，PCI-SIG 同时支持互操作能力和一致性测试，包括实现合规必需执行及通过的测试。

泰克是 PCI-SIG 的主要贡献者，为 PCIe 4.0 和 5.0 物理层测试规范作出了重大贡献，为确定 PCIe 6.0 Tx/Rx 测量方法做了大量探寻道路式的试验。泰克还在 PCIe 标准开发和实现过程中在一致性和互操作能力测试方面发挥了关键作用。

PCIe 一致性测试

PCI-SIG 一致性测试讲习会主持互操作能力测试，允许成员针对其他会员的产品测试自己的产品。讲习会还主持一致性测试，允许针对 PCI-SIG 规定的测试套件执行产品测试。在这两种情况下，参加测试的产品要么通过测试，要么未通过测试。为了实现正式合规，产品必须通过至少 80% 的互操作能力测试，并通过所有标准性的 (要求的) 一致性测试。泰克拥有针对所有数据速率 (Tx、Rx 和 PLL 带宽) 的 PCI-SIG 批准的测试套件。



泰克 PCIe Gen 5 Tx 一致性测试解决方案

PCIe 5.0 面临的特定挑战

PCIe 4.0 的最大数据速率是 16 GT/s，是 PCIe 上一代的速度加强规范，经验证实现起来要比以前的标准更难。在 PCIe 5.0 中，计算机 PCIe 通道和主板都面临着明显的挑战，因为要处理 32 GT/s 数据速率。除了在较低数据速率遇到的挑战外，PCIe 5.0 设备预计还会遇到明显的信号完整性挑战。

PCIe 5.0 发射机测试概述

在开发 PCIe Gen 5 发射机器件时，不管是在基本（芯片）级还是在 CEM（系统和插件）级，都将要求芯片级验证（通常由 PHY IP 公司执行）和预一致性测试，然后才能把器件提交给 PCI-SIG 进行正式的一致性测试。因此，获得适当的测试设备及相关自动化软件至关重要。

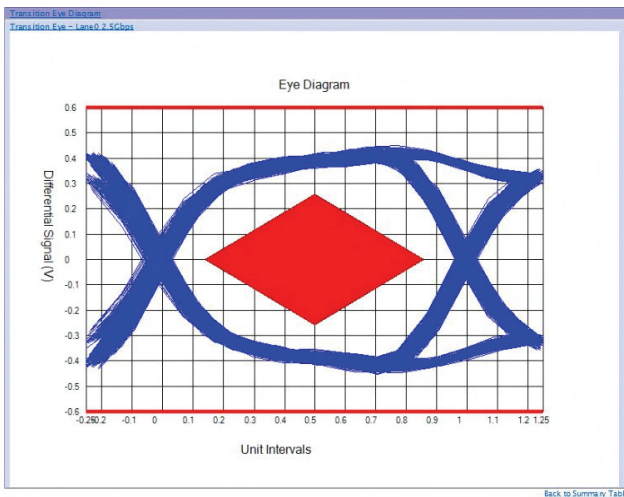
PCIe 一致性测试包括：

- 电气测试 – 评估平台和插件发射机 (Tx) 和接收机 (Rx) 特点
- 配置测试 – 评估 PCIe 器件中的配置空间
- 链路协议测试 – 评估器件的链路级协议特点
- 交易协议测试 – 评估器件的交易级协议特点
- 平台 BIOS 测试 – 评估 BIOS 识别和配置 PCIe 器件的能力

在电气测试方面，它分成两套测量，一套是基本级，一套是 CEM 级。这些测试又分为标准性测试和参考性测试：

基本测量	标准性 / 参考性
AC CM 4GHz	标准性
AC CM 16GHz	标准性
V Tx_no_eq	标准性
EIEOS 最低电压	标准性
DDj	标准性
抖动	标准性
PS21 比	标准性
不相关的 PWJ DJ dd@E12	标准性
不相关的 PWJ TJ@E-12	标准性
不相关的 TIE DJ dd@E12	标准性
不相关的 TIE TJ @ E12	标准性
PWJ RJ (RMS)	参考性
RJ (RMS) 单位间隔	参考性
CEM 测量	标准性 / 参考性
眼高 @BER	标准性
眼宽 @BER	标准性
不相关的 Dj_dd	标准性
Tx EQ 预置测试	标准性
脉宽抖动	标准性
不相关的 Tj	标准性
Tx EQ 预置测试	参考性
合成 EH	参考性
合成 EW	参考性
推断的抖动	参考性
随机抖动	参考性
单位间隔	参考性

PCIe 基本和 CEM 一致性测量



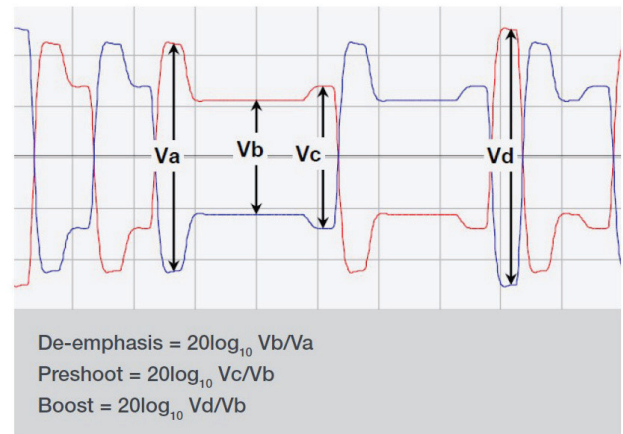
眼图

这两类测量都要求高带宽实时示波器，要能够捕获数据波形。然后采用后处理技术，进行基本规范和 CEM 规范中要求的相应的电压和定时测量。不相关抖动考查在去除包和通道码间干扰 (ISI) 后系统固有的抖动。除了抖动外，示波器还要进行眼高和眼宽测量。基本规范中规定了大量的“一致性测试码型”。推荐使用包含多次发生的整个一致性测试码型的波形记录，来构建代表性眼图。

在器件的基本 Tx 测试中，规范规定直接在发射机的引脚上进行测量。如果不能直接接入，那么测试点应尽可能靠近器件引脚。如果用户很好地了解 S 参数，那么通过物理复现通道或仿真，可以反嵌任何接续通道损耗。从 4.0 规范开始，描述了另一种反嵌技术，在波形后处理过程中，对不相关抖动测量应用 CTLE (连续时间线性均衡)，可以有效消除直到引脚的 ISI。

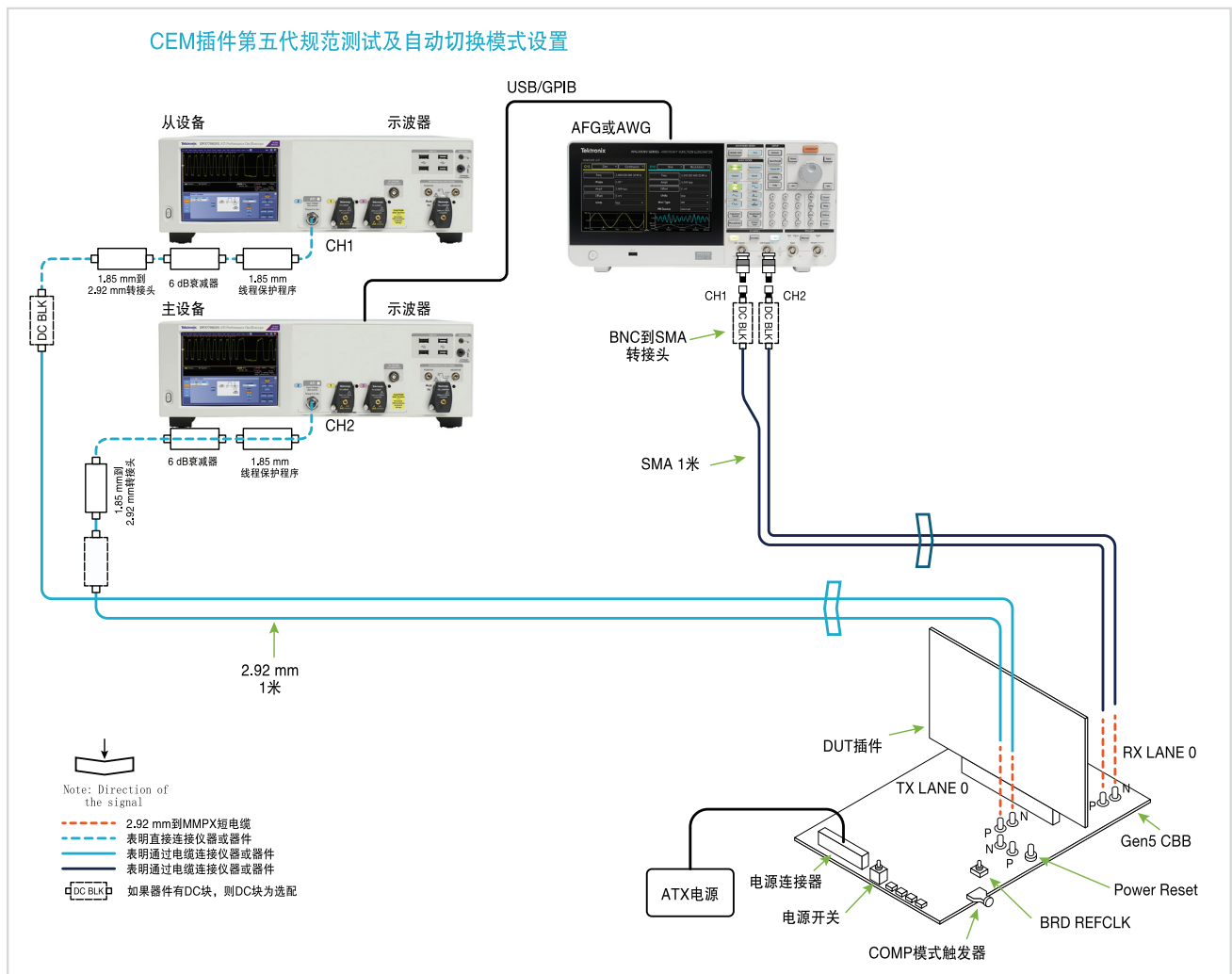
Preset #	Preshoot (dB)	De-emphasis (dB)
P4	0	0
P1	0	-3.5 ± 1 dB
P0	0	-6.0 ± 1.5 dB
P9	3.5 ± 1 dB	0
P8	3.5 ± 1 dB	-3.5 ± 1 dB
P7	3.5 ± 1 dB	-6.0 ± 1.5 dB
P5	1.9 ± 1 dB	0
P6	2.5 ± 1 dB	0
P3	0	-2.5 ± 1 dB
P2	0	-4.4 ± 1.5 dB
P10	0	Variable ¹

1. P10 levels are not fixed; its de-emphasis level is a function of the LF level that the Tx advertises during training. P10 is used to test the boost level of the Tx during full swing.



Tx 均衡器预置

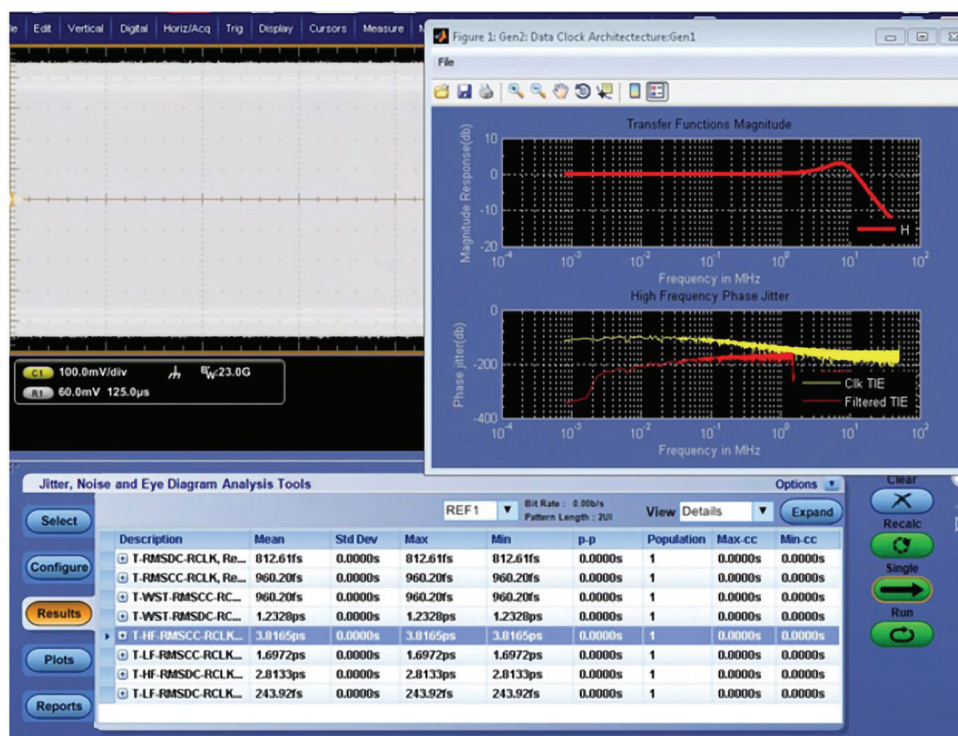
提交 PCI-SIG 认证的任何 PCIe 5.0 产品，都必须使用规定的 Tx 均衡器设置预置成功地通过一致性测试，支持速度从 2.5 GT/s 直到 32 GT/s。这些预置用来均衡码流内部的频率相关衰减差引起的码间干扰，改善了信号完整性。每个预置都是下冲 (光标前) 和去加重 (光标后) 的特定组合。



CEM 插件 PCIe 5.0 一致性测试及自动预置切换

目前有各种特定实现方案，让 DUT 发射机扫描通过各种数据速率和 Tx EQ 预置。但是，基本规范规定了一种常用的方法，其中向接收机的通路 0 传送一个 100 MHz 时钟突发。这可以采用任意函数发生器 (AFG) 自动实现。

对最大速率为 32 GT/s 的 PCIe 链路，基本时钟 (Refclks) 存在着新的验证挑战。基本规范已经与数据速率成比例扩大抖动极限，但 Gen5 不成比例地把极限下降到 150 fs。这种高频抖动测量要求正确应用公共时钟传送功能，并考虑最坏情况传送延迟。这一最新版规范还把测量从基本级规范 (芯片级) 推高到又是 CEM 规范要求 (外表级)，必需满足一致性测试。



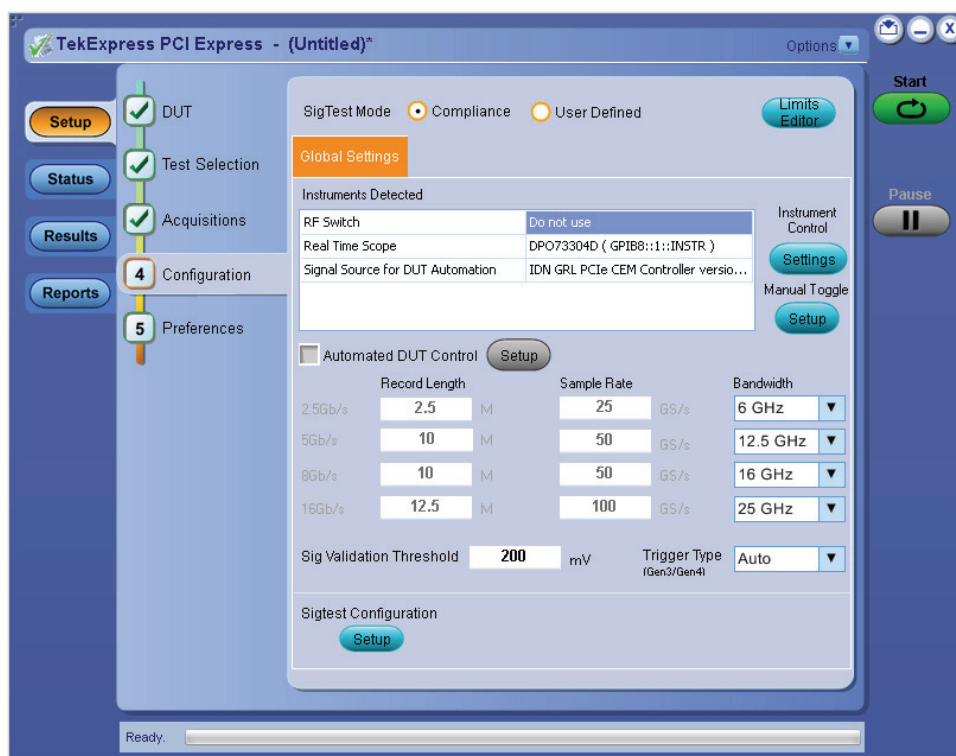
参考时钟抖动、噪声和眼图分析

示波器带宽和采样率要求

对基本 Tx 测试，每条 PCIe 5.0 通路以 16 GHz 速率运行（因为两个比特可以在一个周期中发送），三阶谐波达到 48 GHz。由于在三阶谐波以上没有太有效的信号信息，所以 PCIe 5.0 基本 Tx 测试只需 50 GHz 带宽的实时示波器。对 CEM Tx 测试，要在最坏情况通道的末端附近进行测量，减少了高频内容，要求 33 GHz 的带宽。为确保充足的波形后处理 (SigTest)，要求每个单位间隔最少 4 个点，CEM 允许最多 $2x \sin/x$ 插补，所以最低采样率要达到 128 GS/s。

自动一致性测试

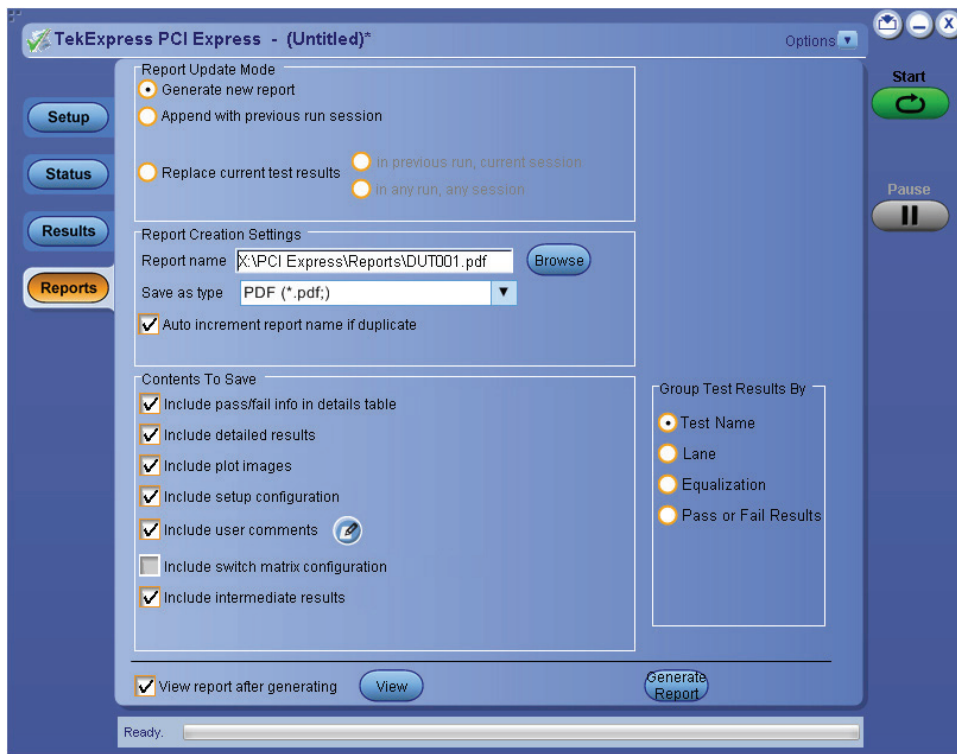
在一致性测试中，手动执行分析既耗时又容易出错。为节省时间，最好使用自动化软件，其不仅可以减少工作量，还可以加快一致性测试速度。对电气验证，PCI-SIG 提供了 SigTest 离线分析软件，使用示波器采集的数据执行分析。自动化软件还控制被测器件 (DUT)，使用任意函数发生器作为码型源，让 DUT 自动通过一致性测试所需的各种速度、去加重和预置。



自动化软件配置

一轮完整的一致性测试要求在不同的 DUT 设置下每条通路采集多个波形。这个波形集合将按需要分析的通路数 (最多 16 条) 提高。软件要能够管理和存储分析及未来参考要求的数据, 这对任何一致性测试解决方案来说都是一个重要指标。自动化软件还可以调节示波器水平和垂直设置及采集深度。

除了配置和分析外, 还可以使用自动化软件管理采集的多个波形。如果使用 PCISIG 的 SigTest 分析采集的波形, 那么分析结果将与 PCI-SIG 一致性测试讲习会上使用的 SigTest 捕获后分析软件一致。



自动化软件报告生成首选配置

来自软件的分析结果通常可以汇编成 PDF 或 HTML 格式的报告，可以包括通过 / 未通过测试摘要、眼图、设置配置和用户备注。

小结

在基本级 (芯片) 发射机测试中, 规范规定直接在发射机引脚上进行电压和抖动测量。由于有时是不可能直接接入引脚的, 因此进行测量时应尽可能接近这个参考点。推荐使用表征和反嵌时 S 参数已知的参考通道, 来进行这些电压测量, 而抖动测量现在则采用 CTLE 曲线, 在不相关抖动表征中去掉接续通道的影响。

在 CEM 级 (系统和插件) 发射机测试中, 规范规定在接收机上进行测量。测试夹具可以接入信号, 同时建立部分通道, 嵌入则产生了其余的损耗。在后处理波形, 包括时钟恢复和接收机均衡的优势后, 可以查看眼图。

在这两种情况下, 使用拥有充足带宽和采样率的示波器都至关重要。可以使用自动化软件, 使调试、验证和一致性测试变得尽可能快捷简便。

泰克 PCIe 解决方案

通过使用泰克 [DPO70000SX 系列示波器](#)和 [AFG31252 任意函数发生器](#), [PCI Express Gen1/2/3/4/5 解决方案](#)可以在基本级 (芯片) 和 CEM 级 (系统和插件) 自动进行发射机验证和一致性测试。

TekExpress [PCIe 5.0 Tx 自动软件](#)功能:

- 使 DUT 自主步进通过不同的速度、码型和 Tx EQ 预置
- 在进行测量前, 在发射机上检验信号是否正确
- 执行通道和包嵌入和反嵌
- 支持 SigTest 和 SigTest Phoenix 各版软件和模板文件
- 使用 Silicon Labs. “PCIe 时钟抖动工具” 和泰克 DPOJET 软件进行 100 MHz 参考时钟抖动和信号完整性测量

在历史上, 当新一代 PCIe 器件进入一致性测试时, 很大一部分器件在进行 PHY 和链路训练一致性测试时, 会在第一次互操作能力讲习会中通不过测试。在任何讲习会测试前, 确保完善的示波器、AFG、BERT(用于 Rx 测试) 和自动化软件解决方案到位至关重要。泰克 [PCIe 测试和调试 Tx、Refclk 和 Rx 解决方案](#)可以在互操作能力测试讲习会前引导您完成一致性测试和调试, 确保您的设计满怀信心地满足 PCI-SIG® PCIe 标准要求。



泰克官方微信

如需所有最新配套资料，请立即与泰克本地代表联系！

或登录泰克公司中文网站：www.tek.com.cn

泰克中国客户服务中心全国热线：400-820-5835

泰克科技(中国)有限公司

上海市浦东新区川桥路1227号
邮编：201206
电话：(86 21) 5031 2000
传真：(86 21) 5899 3156

泰克北京办事处

北京市朝阳区酒仙桥路6号院
电子城·国际电子总部二期
七号楼2层203单元
邮编：100015
电话：(86 10) 5795 0700
传真：(86 10) 6235 1236

泰克上海办事处

上海市长宁区福泉北路518号
9座5楼
邮编：200335
电话：(86 21) 3397 0800
传真：(86 21) 6289 7267

泰克深圳办事处

深圳市深南东路5002号
信兴广场地王商业大厦3001-3002室
邮编：518008
电话：(86 755) 8246 0909
传真：(86 755) 8246 1539

泰克成都办事处

成都市锦江区三色路38号
博瑞创意成都B座1604
邮编：610063
电话：(86 28) 6530 4900
传真：(86 28) 8527 0053

泰克西安办事处

西安市二环南路西段88号
老三届世纪星大厦26层L座
邮编：710065
电话：(86 29) 8723 1794
传真：(86 29) 8721 8549

泰克武汉办事处

武汉市洪山区珞喻路726号
华美达大酒店702室
邮编：430074
电话：(86 27) 8781 2760

泰克香港办事处

香港九龙尖沙咀弥敦道132号
美丽华大厦808-809室
电话：(852) 3168 6695
传真：(852) 2598 6260

更多宝贵资源，敬请登录：WWW.TEK.COM.CN

© 泰克公司版权所有，侵权必究。泰克产品受到已经签发及正在申请的美国专利和外国专利保护。本文中的信息代替所有以前出版的材料中的信息。本文中的技术数据和价格如有变更，恕不另行通告。TEKTRONIX 和 TEK 是泰克公司的注册商标。本文中提到的所有其它商号均为各自公司的服务标志、商标或注册商标。

090221 SBG 55C-73837-0

